

PAT-NO: JP02003086590A

DOCUMENT-IDENTIFIER: JP 2003086590 A

TITLE: SEMICONDUCTOR DEVICE AND METHOD FOR
MANUFACTURING THE
SAME

PUBN-DATE: March 20, 2003

INVENTOR-INFORMATION:

NAME

KURIMOTO, KAZUMI

KATO, YOSHIAKI

COUNTRY

N/A

N/A

ASSIGNEE-INFORMATION:

NAME

MATSUSHITA ELECTRIC IND CO LTD

COUNTRY

N/A

APPL-NO: JP2001274544

APPL-DATE: September 11, 2001

INT-CL (IPC): H01L021/3205, H01L021/8242 , H01L027/10 , H01L027/108

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a semiconductor device in which plasma damage and the variation of wiring resistance occurring when forming sealing structure are reduced, and to provide a method for manufacturing the semiconductor device.

SOLUTION: After depositing a layer insulation film 18 on a substrate provided with an element, wires 52 and 56 of a lower layer, the layer insulation film 18 has a via hole 70 reaching the wire 56 formed in an internal element area and an annular groove 30 reaching an annular pad 16 formed in the outer periphery part of a chip region. Next, by etching a photoresist pattern Fr2 formed on the layer insulation film 18 as a mask, a wiring groove

71 larger
than the via hole 70 is formed in the internal element region. Since
a portion
positioned at the edge part of the outer peripheral part of a chip
region in
the annular groove 30 is filled with a part of the photoresist
pattern Fr2, Cu,
etc., spattering from the bottom surface of the annular groove 30 is
reduced.

COPYRIGHT: (C) 2003, JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-86590

(P2003-86590A)

(43) 公開日 平成15年3月20日 (2003.3.20)

(51) Int.Cl. ⁷	識別記号	F I	キーワード (参考)
H 0 1 L 21/3205		H 0 1 L 27/10	4 8 1 5 F 0 3 3
21/8242		21/88	S 5 F 0 8 3
27/10	4 8 1	27/10	6 8 1 Z
27/108			

審査請求 有 請求項の数 7 O L (全 19 頁)

(21) 出願番号 特願2001-274544 (P2001-274544)

(22) 出願日 平成13年9月11日 (2001.9.11)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 栗本 一実

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 加藤 義明

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 100077931

弁理士 前田 弘 (外7名)

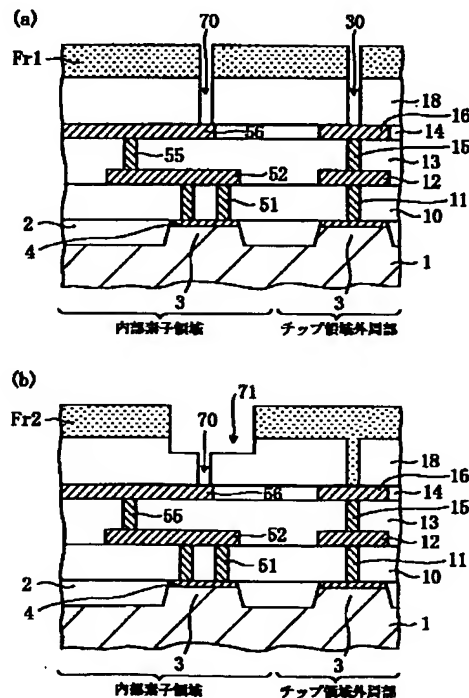
最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 シールリング構造を形成する際に発生するプラズマダメージや配線抵抗のバラツキの小さい半導体装置及びその製造方法を提供する。

【解決手段】 素子や下層の配線52、56が設けられた基板上に、層間絶縁膜18を堆積した後、層間絶縁膜18に、内部素子領域においては配線56に到達するビアホール70を、チップ領域外周部においては環状パッド16に到達する環状溝30を、それぞれ形成する。次に、層間絶縁膜18の上に形成されたフォトレジスパターンFr2をマスクとするエッチングにより、内部素子領域において、ビアホール70よりも広い配線用溝71を形成する。このとき、環状溝30のうちチップ領域外周部の辺部に位置する部分はフォトレジスパターンFr2の一部によって埋められているので、環状溝30の底面から飛散するCu等が低減される。



【特許請求の範囲】

【請求項1】 基板上の半導体層の上に設けられた各々複数の層間絶縁膜及び各々複数の配線からなる複数の配線層と、

上記複数の配線層の配線同士又は配線と半導体層とを縦方向に接続するためのプラグと、

上記半導体層に設けられた素子、上記配線層及び上記プラグが配置された内部素子領域と、

上記半導体層の上に上記複数の層間絶縁膜を貫通して設けられ、上記内部素子領域を囲む環状のシールリングとを備え、

上記複数の層間絶縁膜のうち少なくとも1つの層間絶縁膜は、上記複数の配線層のうちの1つの配線層中の配線及び該配線に接続されるプラグの周囲を埋めており、上記シールリングのうち少なくとも1つの層間絶縁膜を貫通する部分は、少なくとも一部が該層間絶縁膜の上端から下端に延びている縦板状の環状壁を有していることを特徴とする半導体装置。

【請求項2】 請求項1記載の半導体装置において、上記内部素子領域の上方を覆う、異物質侵入阻止機能を有する保護絶縁膜をさらに備え、

上記シールリングの上端は上記半導体層に、下端は上記保護絶縁膜にそれぞれ直接接していることを特徴とする半導体装置。

【請求項3】 請求項1又は2に記載の半導体装置において、

上記シールリングは、ほぼ直線状の辺部とコーナー部とを有し、

上記シールリングの上記コーナー部は、横板状の部分パッドを有していて、

上記環状壁は、上記シールリングの辺部においては、上記少なくとも1つの層間絶縁膜の上端から下端に延びている一方、上記シールリングのコーナー部においては、上記横板状の部分パッドの下端から上記少なくとも1つの層間絶縁膜の下端に延びていることを特徴とする半導体装置。

【請求項4】 請求項1～3のうちいずれか1つに記載の半導体装置において、

上記内部素子領域は、上記基板のスクライブ領域によって囲まれた領域に設けられ、

上記シールリングは、上記内部素子領域と上記基板のスクライブ領域との間に設けられていることを特徴とする半導体装置。

【請求項5】 請求項1～3のうちいずれか1つに記載の半導体装置において、

上記内部素子領域は、メモリセルを配置したメモリ領域であり、

上記メモリ領域中のメモリセルの記憶状態を変化させるためのスイッチング部をさらに備え、

上記シールリングは、上記内部素子領域と上記スイッ

ング部との間に設けられていることを特徴とする半導体装置。

【請求項6】 基板上の半導体層の上に設けられた各々複数の層間絶縁膜及び複数の配線層と、上記複数の配線層の配線同士又は配線と半導体層とを縦方向に接続するためのプラグと、上記半導体層に設けられた素子、上記配線層及び上記プラグが配置された内部素子領域と、上記半導体層の上に上記複数の層間絶縁膜を貫通して設けられ、上記内部素子領域を囲む環状のシールリングとを備えた半導体装置の製造方法であって、

上記複数の層間絶縁膜のうち少なくとも1つの層間絶縁膜に、上記プラグ用のホールと、上記シールリングが埋め込まれる領域の少なくとも一部となる環状溝を形成する工程(a)と、

基板上に、上記プラグ用のホールを含む領域を開口したレジストマスクを形成する工程(b)と、

上記レジストマスクを用いたエッチングにより、上記プラグ用のホールよりも浅い配線用溝を形成する工程(c)と、

基板上に導体膜を堆積した後、上記層間絶縁膜が露出するまで上記導体膜を除去して上記配線用溝、ホール及び上記環状溝に上記導体膜の一部を埋め込むことにより、上記内部素子領域においては、上記配線及びプラグを形成するとともに、上記チップ領域外周部においては、少なくとも一部が層間絶縁膜の上端から下端に延びて、シールリングの一部を構成する縦板状の環状壁を形成する工程(d)とを含むことを特徴とする半導体装置の製造方法。

【請求項7】 請求項6の半導体装置の製造方法において、

上記工程(b)では、上記チップ領域外周部のコーナー部においては、上記フォトリソマスクの上記環状溝の一部を含む領域を開口しておいて、

上記工程(c)では、上記チップ領域外周部のコーナー部において、上記環状溝の一部を含む領域に環状溝よりも浅いパッド用溝を形成し、

上記工程(d)では、上記パッド用溝をも上記導体膜の一部で埋めることにより、チップ領域外周部のコーナー部に横板状の部分パッドを形成するとともに、チップ領域外周部の辺部では上記層間絶縁膜の上端から下端まで延びる一方、チップ領域外周部のコーナー部では上記部分パッドの下端から上記層間絶縁膜の下端まで延びている環状壁を形成することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、多層配線構造を有する半導体装置に係り、特に、内部素子領域への水分や湿気などの侵入を阻止するためのシールリングを備えたものに関する。

【0002】

【従来の技術】近年、半導体装置の高集積化の要求に伴って、内部のトランジスタなどの素子の微細化と、配線の多層化とが進んできている。特に、半導体装置の性能に対して配線の性能が与える影響が大きくなり、アルミ配線から抵抗の低い銅配線の導入がダマシンプロセスによってなされてきている。

【0003】図8(a)、(b)は、従来のウェハのチップ領域を示す平面図、及びチップ領域に設けられる半導体装置のチップ領域コーナ部付近の、絶縁膜を透視して示す部分平面図である。また、図9は、従来の半導体装置の図8(b)に示すVIII-VIII線における断面図である。

【0004】この半導体装置は、図8(a)、(b)及び図9に示すように、シリコン基板101と、シリコン基板101上に形成され、活性領域103を囲む素子分離102と、活性領域103に形成された拡散層104と、シリコン基板101上に設けられた第1層間絶縁膜110と、第1層間絶縁膜110の上に設けられた第2層間絶縁膜114と、第2層間絶縁膜114の上に設けられた第3層間絶縁膜118と、第3層間絶縁膜118の上に設けられた第4層間絶縁膜121と、第4層間絶縁膜121の上に設けられた耐湿性絶縁膜124とを備えている。さらに、チップ領域外周部において、第1層間絶縁膜110を貫通して拡散層104に到達する第1環状壁111と、第1層間絶縁膜110の上に設けられ第1環状壁111に接続される第1環状パッド112と、第2層間絶縁膜114を貫通して第1環状パッド112に到達する第2環状壁115と、第2層間絶縁膜114の上に設けられ第2環状壁115に接続される第2環状パッド116と、第3層間絶縁膜118を貫通して第2環状パッド116に到達する第3環状壁119と、第3層間絶縁膜118の上に設けられ第3環状壁119に接続される第3環状パッド120と、第4層間絶縁膜121を貫通して第3環状パッド120に到達する第4環状壁122と、第4層間絶縁膜121の上に設けられ第4環状壁122に接続される第4環状パッド123と、を備えている。上記各環状壁111、115、119、122及び各環状パッド112、116、120、123により、内部素子領域への水分や湿気の侵入を阻止するためのシールリングが構成されている。

【0005】図10は、従来の半導体装置のチップ領域と内部素子領域とにおける構造を比較して示す断面図である。同図に示すように、チップ領域外周部の第1環状壁111は内部素子領域のコンタクトプラグ151と同時に金属又はポリシリコンをコンタクトホールに埋め込んで形成され、第1環状パッド112は内部素子領域162のローカル配線152と同時に金属膜をパターニングして形成され、チップ領域外周部の第2環状壁115は内部素子領域の第1ビアプラグ155と同時に金属

をビアホールに埋め込んで形成され、第2環状パッド116は内部素子領域の第1層目配線156と同時に金属膜をパターニングして形成され、チップ領域外周部の第3環状壁119は内部素子領域の第2ビアプラグ159と同時にビアホールに金属を埋め込んで形成され、第3環状パッド120は内部素子領域の第2層目配線160と同時に金属膜をパターニングして形成され、チップ領域外周部の第4環状壁122は内部素子領域の第3ビアプラグ162と同時にビアホールに金属を埋め込んで形成され、第4環状パッド123は内部素子領域の第3層目配線163と同時に金属膜をパターニングして形成されている。

【0006】ここで、層間絶縁膜として用いられる塗布膜は、有機膜が一般的であり、シリカフィルムのように、無機質を主体とする膜の場合も焼成時のクラック発生を抑制する為に、有機成分を添加して用いられることが多い。また、800℃程度の焼成によってほぼ完全に無機のシリコン酸化膜となるシリカフィルムであっても、配線上に形成した場合、400℃程度の処理が限度であるため、溶剤として用いた有機成分が完全に離脱しないまま、膜中に残ってしまう。このように、有機成分を含んだ絶縁膜は本質的に水分の吸着性あるいは透水性が高いため、膜形成後に塗布膜が露出する場合、半導体装置の内部に水分を取り込みやすくなり、半導体装置の信頼性を低下させる原因となる。

【0007】そこで、図8～図10に示す従来の半導体装置においては、内部素子領域の外周を環状パッドおよび環状壁からなるシールリングで囲むことにより、スクライブ領域で半導体チップが個々に切断されて分割された後でも、層間絶縁膜に水分が侵入しないように構成されている。

【0008】

【発明が解決しようとする課題】しかしながら、上記従来の半導体装置をデュアルダマシンプロセスを利用して形成しようとすると、以下のような不具合が予想される。

【0009】すなわち、デュアルダマシンプロセスにおいては、上層側の環状壁（例えば第3環状壁119）用の環状溝と上層側のプラグ（例えば第2ビアプラグ159）用のホールを開口した後、上層側の環状パッド（例えば第3環状パッド120）用の環状溝と上層側の配線（例えば第2層目配線160）用の溝を形成する際のドライエッチ工程において、大面積の開口部である環状溝が存在するので、下層側の配線（例えばローカル配線152及び第1層目配線156）やシリコン基板に大きなプロズマダメージを与えるおそれがあった。また、その際、下層の環状パッド（例えば第2環状パッド116）のうち環状溝の底面に露出している部分からCu等がガスとして飛散して、ドライエッチレートを変動させることがあった。その結果、内部素子領域の配線（例え

ば第2層目配線160)用溝の深さにバラツキが発生し、ひいては、配線抵抗にバラツキが生じるおそれがあった。

【0010】本発明の目的は、外部から層間絶縁膜への水分の侵入を防ぎつつ、配線抵抗のバラツキや基板、配線におけるプラズマダメージの小さい配線を有する半導体装置を提供することである。

【0011】

【課題を解決するための手段】本発明の半導体装置は、基板上の半導体層の上方に設けられた各々複数の層間絶縁膜及び各々複数の配線からなる複数の配線層と、上記複数の配線層の配線同士又は配線と半導体層とを縦方向に接続するためのプラグと、上記半導体層に設けられた素子、上記配線層及び上記プラグが配置された内部素子領域と、上記半導体層の上に上記複数の層間絶縁膜を貫通して設けられ、上記内部素子領域を囲む環状のシールリングとを備え、上記複数の層間絶縁膜のうち少なくとも1つの層間絶縁膜は、上記複数の配線層のうちの1つの配線層中の配線及び該配線に接続されるプラグの周囲を埋めており、上記シールリングのうち少なくとも1つの層間絶縁膜を貫通する部分は、少なくとも一部が該層間絶縁膜の上端から下端に延びている縦板状の環状壁を有している。

【0012】これにより、シールリングの少なくとも1つの層間絶縁膜を貫通する部分が縦板状の環状壁を有しているので、同じ層間絶縁膜に形成される配線用溝を形成する際に、環状壁用の環状溝がマスク部材によって埋められた状態になる。その結果、環状溝を形成するための工程において、下方の基板や配線へのプラズマダメージの発生を抑制することができる。また、環状溝の底部からの異物の発生が抑制されるので、エッチレートの変化を抑制することができ、同じ層間絶縁膜に埋め込まれる配線用の溝の深さ、つまり、配線の厚みの変化を抑制することができる。

【0013】上記内部素子領域の上方を覆う、異物質侵入阻止機能を有する保護絶縁膜をさらに備え、上記シールリングの上端が上記半導体層に下端が上記保護絶縁膜にそれぞれ直接接していることにより、異物質の侵入阻止機能がより確実となる。

【0014】上記シールリングは、ほぼ直線状の辺部とコーナー部とを有し、上記シールリングの上記コーナー部は、横板状の部分パッドを有して、上記環状壁は、上記シールリングの辺部においては、上記少なくとも1つの層間絶縁膜の上端から下端に延びている一方、上記シールリングのコーナー部においては、上記横板状の部分パッドの下端から上記少なくとも1つの層間絶縁膜の下端に延びていることにより、コーナー部におけるマスクの位置ずれによるシールリングの形状不良を抑制することができる。

【0015】上記内部素子領域が上記基板のスクライブ

領域によって囲まれた領域に設けられている場合、上記シールリングは、上記内部素子領域と上記基板のスクライブ領域との間に設けられていることが好ましい。

【0016】上記内部素子領域がメモリセルを配置したメモリ領域であり、上記メモリ領域中のメモリセルの記憶状態を変化させるためのスイッチング部をさらに備えている場合、上記シールリングは、上記内部素子領域と上記スイッチング部との間に設けられていることが好ましい。

【0017】本発明の半導体装置の製造方法は、基板上の半導体層の上方に設けられた各々複数の層間絶縁膜及び複数の配線層と、上記複数の配線層の配線同士又は配線と半導体層とを縦方向に接続するためのプラグと、上記半導体層に設けられた素子、上記配線層及び上記プラグが配置された内部素子領域と、上記半導体層の上に上記複数の層間絶縁膜を貫通して設けられ、上記内部素子領域を囲む環状のシールリングとを備えた半導体装置の製造方法であって、上記複数の層間絶縁膜のうち少なくとも1つの層間絶縁膜に、上記プラグ用のホールと、上記シールリングが埋め込まれる領域の少なくとも一部となる環状溝を形成する工程(a)と、基板上に、上記プラグ用のホールを含む領域を開口したレジストマスクを形成する工程(b)と、上記レジストマスクを用いたエッチングにより、上記プラグ用のホールよりも浅い配線用溝を形成する工程(c)と、基板上に導体膜を堆積した後、上記層間絶縁膜が露出するまで上記導体膜を除去して上記配線用溝、ホール及び上記環状溝に上記導体膜の一部を埋め込むことにより、上記内部素子領域においては、上記配線及びプラグを形成するとともに、上記チップ領域外周部においては、少なくとも一部が層間絶縁膜の上端から下端に延びて、シールリングの一部を構成する縦板状の環状壁を形成する工程(d)とを含んでいる。

【0018】この方法により、工程(b)において、シールリング用の環状溝がレジストマスクによって埋められているので、工程(c)において配線用溝を形成する際に、下方の基板や配線へのプラズマダメージの発生を抑制することができる。また、環状溝の底部からの異物の発生が抑制されるので、エッチレートの変化を抑制することができるので、形成される配線用溝の深さ、つまり、層間絶縁膜に埋め込まれる配線の厚みの変化を抑制することができ、配線抵抗のバラツキを抑制することができる。

【0019】上記工程(b)では、上記チップ領域外周部のコーナー部においては、上記フォトリソレジストマスクの上記環状溝の一部を含む領域を開口しておいて、上記工程(c)では、上記チップ領域外周部のコーナー部において、上記環状溝の一部を含む領域に環状溝よりも浅いパッド用溝を形成し、上記工程(d)では、上記パッド用溝をも上記導体膜の一部で埋めることにより、チップ

チップ領域外周部のコーナー部に横板状の部分パッドを形成するとともに、チップ領域外周部の辺部では上記層間絶縁膜の上端から下端まで延びる一方、チップ領域外周部のコーナー部では上記部分パッドの下端から上記層間絶縁膜の下端まで延びている環状壁を形成することにより、レジストマスクの位置ずれに起因するシールリングの形状不良の発生を抑制することができる。

【0020】

【発明の実施の形態】図1(a)、(b)は、本発明の実施形態のウェハのチップ領域を示す平面図、及びチップ領域に設けられる半導体装置のチップ領域コーナー部付近の、絶縁膜を透視して示す部分平面図である。また、図2は、本実施形態の半導体装置の図1(b)に示すII-II線における断面図である。図3は、本実施形態の半導体装置の図1(b)に示すIII-III線における断面図である。ただし、図1(b)においては、下層配線に対応する位置に形成された2つの環状パッド(12、16)の図示が省略されている。

【0021】図1(a)、(b)、図2及び図3に示すように、本実施形態の半導体装置は、シリコン基板1と、シリコン基板1上に形成され、活性領域3を囲む素子分離2と、活性領域3に形成された拡散層4と、シリコン基板1上に設けられた第1層間絶縁膜10と、第1層間絶縁膜10の上に設けられた第2層間絶縁膜14と、第2層間絶縁膜14の上に設けられた第3層間絶縁膜18と、第3層間絶縁膜18の上に設けられた第4層間絶縁膜21と、第4層間絶縁膜21の上に設けられた耐湿性絶縁膜24とを備えている。しかし、本実施形態の半導体装置は、従来の半導体装置とは異なり、チップ領域外周部において、コーナー部Rcoと辺部Rsiとでは、シールリングの部分的な構造が互いに異なっている。

【0022】一チップ領域外周部のコーナー部の構造—まず、図1(a)、(b)及び図3に示すように、チップ領域外周部のコーナー部Rcoにおいては、第1層間絶縁膜10を貫通して拡散層4に到達するタングステン等からなる縦板状の第1環状壁11と、第1層間絶縁膜10の上に設けられ第1環状壁11に接続されるタングステン等からなる横板状の第1環状パッド12と、第2層間絶縁膜13を貫通して第1環状パッド12に到達するタングステン等からなる縦板状の第2環状壁15と、第3層間絶縁膜14に埋め込まれ第2環状壁15に接続されるCu等からなる横板状の第2環状パッド16と、第4層間絶縁膜18を貫通して第2環状パッド16に到達するCu等からなる縦板状の第3環状壁19及び横板状の第3部分パッド20と、第5層間絶縁膜21を貫通して第3部分パッド20に到達するCu等からなる縦板状の第4環状壁22及び横板状の第4部分パッド23とが設けられている。これらの環状壁11、15、19、22、環状パッド12、16及び部分パッド20、23に

より、内部素子領域への水分や湿気の侵入を阻止するためのシールリングのコーナー部が構成されている。そして、チップ領域外周部のコーナー部Rcoにおけるこのシールリングは、上記従来の半導体装置のチップ領域外周部に設けられたシールリングとほぼ同じ構造を有している。

【0023】一チップ領域外周部の辺部の構造—一方、図1(a)、(b)及び図2に示すように、チップ領域外周部の辺部Rsiにおいては、第1層間絶縁膜10を貫通して拡散層4に到達するタングステン等からなる第1環状壁11と、第1層間絶縁膜10の上に設けられ第1環状壁11に接続されるタングステン等からなる第1環状パッド12と、第2層間絶縁膜13を貫通して第1環状パッド12に到達するタングステン等からなる第2環状壁15と、第3層間絶縁膜14に埋め込まれ第2環状壁15に接続されるCu等からなる第2環状パッド16と、第4層間絶縁膜18を貫通して第2環状パッド16に到達するCu等からなる第3環状壁19と、第5層間絶縁膜21を貫通して第3部分パッド20に到達するCu等からなる第4環状壁22とが設けられている。これらの環状壁11、15、19、22及び環状パッド12、16により、内部素子領域への水分や湿気の侵入を阻止するためのシールリングの辺部が構成されている。

【0024】したがって、シールリングのうちチップ領域外周部の辺部Rsiに位置する部分は、上記従来の半導体装置のチップ領域外周部に設けられたシールリングとは異なり、横板状の第3部分パッド20や第4部分パッド23を有していない。つまり、縦板状の環状壁19、22は、チップ領域外周部の辺部Rsiでは層間絶縁膜の上端から下端まで延びる一方、チップ領域外周部のコーナー部Rcoでは部分パッドの下端から上記層間絶縁膜の下端まで延びている。この点が、本実施形態のシールリング構造の特徴である。

【0025】ここで、上記環状パッドや部分パッドの幅は内部素子領域の配線の幅とほぼ等しいのに対し、環状壁の横方向厚みは、ウィアプラグの径とほぼ等しい寸法を有している。一般的には、環状壁の厚み寸法は、デザインルールの寸法と等しいが、デザインルールの寸法よりも多少大きくてもよい。

【0026】—製造工程—

図4(a)～図7は、本発明の実施形態における半導体装置の製造工程を示す断面図である。図4(a)～図7においては、内部素子領域とチップ領域外周部のうち辺部Rsiとの構造のみを示し、チップ領域外周部のうちコーナー部Rcoの構造の図示は省略するが、コーナー部Rcoの環状壁、環状パッド等の断面構造は、内部素子領域のプラグ、配線の断面構造とほぼ共通している。

【0027】まず、図4(a)に示す工程で、シリコン基板1の表面部に活性領域3を囲むシャロートレンチ構造の素子分離2を形成した後、内部素子領域の活性領域

3にはMISTランジスタなどの素子を形成する。次に、基板上に第1層間絶縁膜10を堆積してから、内部素子領域においては、第1層間絶縁膜10を貫通して活性領域3やゲート電極(図示せず)などに到達するコンタクトホールを形成する。このとき、チップ領域外周部の辺部Rsi及びコーナー部Rcoの双方においては、内部素子領域を囲む環状溝を形成する。そして、コンタクトホール及び環状溝の双方にタングステン等を埋め込んで、コンタクトプラグ51及び第1環状壁11を形成する。

【0028】次に、基板上にタングステン等からなる多層膜を堆積し、この多層膜をパターニングすることにより、コンタクトプラグ51に接続されるローカル配線52と、第1環状壁11に接続される第1環状パッド12とを形成する。次に、基板上に、第2層間絶縁膜13を堆積した後、第2層間絶縁膜13に、内部素子領域においてはローカル配線52に到達する第1ビアホールを、チップ領域外周部の辺部Rsi及びコーナー部Rcoにおいては第1環状パッド12に到達する第1環状溝を、それぞれ形成する。さらに、第1ビアホール及び第1環状溝にタングステン等の金属を埋め込むことにより、内部素子領域においては第1ビアプラグ15を、チップ領域外周部のコーナー部Rco及び辺部Rsiにおいては第2環状壁55を、それぞれ形成する。

【0029】さらに、基板上に第3層間絶縁膜14を堆積した後、第3層間絶縁膜14に、内部素子領域においては第1層目配線用溝を、チップ領域外周部のコーナー部Rco及び辺部Rsiにおいては第2環状パッド用溝を、それぞれ形成する。そして、メッキにより、第1層目配線用溝及び第2環状パッド用溝内にCu等を埋め込んで、内部素子領域においては第1層目配線56を、チップ領域外周部のコーナー部Rco及び辺部Rsiにおいては第2環状パッド16を、それぞれ形成する。つまり、シングルダマシン法により、各配線を形成するのである。

【0030】次に、基板上に第4層間絶縁膜18を堆積した後、第4層間絶縁膜18上に第1フォトレジストパターンFr1を形成し、この第1フォトレジストパターンFr1をマスクとするエッチングにより、第4層間絶縁膜18に、内部素子領域においては第1層目配線56に到達する第2ビアホール70を、チップ領域外周部の辺部Rsi及びコーナー部Rcoにおいては第2環状パッド16に到達する第3環状溝30を、それぞれ形成する。

【0031】次に、図4(b)に示す工程で、第1フォトレジストパターンFr1を除去した後、第4層間絶縁膜18の上に第2フォトレジストパターンFr2を形成する。このとき、第3環状溝30は、第2フォトレジストパターンFr2の一部によって埋められている。そして、第2フォトレジストパターンFr2をマスクとするエッチングにより、内部素子領域において、第2ビアホール70よりも広い第2層目配線用溝71を形成する。また、図

示されていないが、チップ領域外周部のコーナー部Rcoにおいては、第3部分パッド用溝が形成されている。

【0032】このとき、第2層目配線用溝71は第2ビアホール70を含む広い領域に形成され、第2ビアホール70内は、いったんフォトレジストによって埋められるが、第2フォトレジストパターンFr2の形成の際に、第2ビアホール70内のフォトレジストは除去されている。したがって、第2層目配線用溝71を形成するためのドライエッチングの際に、第1層目配線56のうち第2ビアホール70の底面に露出している部分からCu等が飛散することになる。

【0033】それに対し、チップ領域外周部の辺部Rsiにおいては、第2層目配線用溝71を形成するためのドライエッチングの際に、第3環状溝30は、第2フォトレジストパターンFr2の一部によって埋められた状態であるので、第3環状溝30の底部からCu等が飛散することはない。

【0034】なお、チップ領域外周部のコーナー部Rcoにおいては、内部素子領域と同様に、第3環状溝30の一部を含む領域に第3部分パッド用溝が形成されているので、第2環状パッド16の第3環状溝30の底面に露出した部分(図3参照)からCu等が飛散する。

【0035】次に、図5(a)に示す工程で、第2フォトレジストパターンFr2を除去した後、メッキにより、基板上にCu等膜31を堆積する。このとき、内部素子領域の第2ビアホール70及び第2層目配線用溝71と、チップ領域外周部の辺部Rsiの第3環状溝30と、チップ領域外周部のコーナー部Rcoの第3環状溝及び第3部分パッド用溝内もCu等膜31の一部によって埋められている。

【0036】次に、図5(b)に示す工程で、第4層間絶縁膜18が露出するまでCMPを行なって、内部素子領域においては第2ビアプラグ59及び第2層目配線60を、チップ領域外周部の辺部Rsiにおいては第3環状壁19の辺部分を、チップ領域外周部のコーナー部Rcoにおいては第3環状壁19のコーナー部分及び第3部分パッド20(図3参照)を、それぞれ形成する。

【0037】次に、図6(a)に示す工程で、基板上に第5層間絶縁膜21を堆積した後、第5層間絶縁膜21上に第3フォトレジストパターンFr3を形成し、この第3フォトレジストパターンFr3をマスクとするエッチングにより、第5層間絶縁膜21に、内部素子領域においては第2層目配線60に到達する第3ビアホール73を形成し、チップ領域外周部の辺部Rsiにおいては第3環状壁19に到達し、チップ領域外周部のコーナー部Rcoにおいては第3部分パッド20に到達する第4環状溝33を、それぞれ形成する。

【0038】次に、図6(b)に示す工程で、第2フォトレジストパターンFr3を除去した後、第5層間絶縁膜21の上に第4フォトレジストパターンFr4を形成する。

そして、第4フォトレジストパターンFr4をマスクとするエッチングにより、内部素子領域において、第3ヴィアホール73よりも広い第3層目配線用溝74を形成する。また、図示されていないが、チップ領域外周部のコーナー部Rcoにおいては、第4部分パッド用溝が形成されている。

【0039】このとき、第3層目配線用溝74は第3ヴィアホール73を含む広い領域に形成され、第3ヴィアホール73内は、いったんフォトレジストによって埋められるが、第4フォトレジストパターンFr4の形成の際に、第3ヴィアホール73内のフォトレジストは除去さ
10 れている。したがって、第3層目配線用溝74を形成するためのドライエッチングの際に、第2層目配線60のうち第2ヴィアホール73の底面に露出している部分からCu等が飛散することになる。

【0040】それに対し、チップ領域外周部の辺部Rsiにおいては、第3層目配線用溝74を形成するためのドライエッチングの際に、第4環状溝33は、第4フォ
20 レジストパターンFr4の一部によって埋められた状態であるので、第4環状溝33の底面からCu等が飛散することはない。

【0041】なお、チップ領域外周部のコーナー部Rcoにおいては、内部素子領域と同様に、第4環状溝33を含む領域に第4部分パッド用溝が形成されているので、第3部分パッド20のうち第4環状溝33の底面に露出した部分（図3参照）からCu等が飛散する。

【0042】次に、図7に示す工程で、第4フォトレジストパターンFr4を除去した後、メッキにより、基板上にCu等膜を堆積した後、第5層間絶縁膜21が露出するまでCu等膜のCMPを行なって、内部素子領域にお
30 いては第2ヴィアホール70及び第2層目配線用溝71を埋める第3ヴィアプラグ62及び第3層目配線63を、チップ領域外周部の辺部Rsiにおいては第4環状溝33を埋める第4環状壁22を、チップ領域外周部のコーナー部Rcoにおいては第4環状溝33及び第4部分パッド用溝内を埋める第4環状壁22及び第4部分パッド23（図3参照）を、それぞれ形成する。

【0043】本実施形態によると、図4（b）や図6（b）に示す、デュアルダマシンプロセスの配線用溝を形成する工程において、チップ領域外周部の辺部Rsiにはパッド用溝が形成されない
40 のので、大面積の開口部が存在せず、下層側の配線（第1層目配線56、ローカル配線52）やシリコン基板へのプラズマダメージの発生を抑制することができる。また、図4（b）や図6（b）に示す、デュアルダマシンプロセスの配線用溝を形成する工程において、チップ領域外周部の辺部Rsiのシールリング用環状溝、つまり環状溝30、33の辺部分
50 がフォトレジストによって塞がれているので、特に広い面積を有するシールリング用の環状溝30、33の底面からのCu等の飛散を抑制することができる。よって、エッ

チレートの変化に起因する溝深さのバラツキを抑制することができ、ひいては、配線厚みのバラツキを抑制し、配線抵抗の均一化を図ることができる。

【0044】なお、図4（b）や図6（b）に示す、デュアルダマシンプロセスの配線用溝を形成する工程において、内部素子領域のヴィアホール70、73からのCu等の飛散は生じうるが、この部分の面積はチップ領域外周部の辺部Rsiの面積に比較すると大幅に狭いので、実質的に不具合は生じない。また、チップ領域外周部のコーナー部Rcoにおいては、部分パッド用溝を形成する際に、環状パッド又は部分パッドのうち環状溝の底部に露出している部分からCu等が飛散するおそれはあるが、チップ領域外周部のコーナー部Rcoの面積がチップ領域外周部に占める割合は極めてわずかであるので、ほとんど不具合は生じない。

【0045】なお、チップ領域外周部のコーナー部Rcoにもパッドを設けずに、チップ領域外周部全体に亘って、第4層間絶縁膜18、第5層間絶縁膜21全体を縦方向に貫通する環状壁を設けることも可能であり、その方が本発明の基本的な効果であるプラズマダメージの抑制やCu等飛散の防止による配線抵抗の均一化を図る点では好ましい。

【0046】しかし、本実施形態のように、チップ領域外周部の辺部Rsiにおいては環状壁のみを形成する一方、コーナー部Rcoのみ部分パッド20、23（図3参照）を設けることにより、以下のような効果を発揮することができる。

【0047】一般に、コーナー部は、フォトリソグラフィにおけるマスクの位置ずれが生じやすいので、幅の狭い環状壁同士の間隙ができるおそれがあるが、パッドにすることにより、シールリングの一部に隙間が発生するのを防止することができる。ただし、この不具合は、環状壁のコーナー部を辺部よりも厚めに設けることにより、回避することは可能である。

【0048】また、ハーフトーンマスク等の位相シフトマスクを使用した場合に、特にコーナー部においてサイドローブが近接効果により発生しやすくなり、その結果、層間絶縁膜のコーナー部の環状壁の近くに孔が発生して、外観が悪化することがある。その場合でも、コーナー部のみに部分パッドを形成することで、サイドローブによる層間絶縁膜の穴が埋まるため、外観不良の発生を抑制することができる。

【0049】（その他の実施形態）上記実施形態においては、スクライプラインによって囲まれる内部素子領域を、ウェハのスクライプ時における水分や湿気の侵入を阻止するためのシールリングの構造について説明したが、本発明はかかる実施形態に限定されるものではない。

【0050】例えば、DRAM、SRAM及びROMにおいては、DRAMメモリセルを配置したメモリ部に対

して、不良メモリセルがあった場合に当該不良セルに代替するための冗長メモリセルが設けられている。その場合、不良メモリセルと冗長メモリセルとの間で、周辺回路に対する電氣的接続を切り換えるためのスイッチング部材（例えばヒューズ）を設けるのが一般的である。そして、内部素子領域であるメモリ部とスイッチング部材を配置した領域との間に、メモリ部を囲むシールリングを設けることがあり、このシールリングに本発明のシールリングの構造を適用することができる。

【0051】

【発明の効果】本発明の半導体装置又は半導体装置の製造方法によれば、内部素子領域の配線層とシールリングとを同時に形成する際に、シールリングのある層間絶縁膜を貫通する部分に縦板状の環状壁を設けたので、下方の配線層や基板におけるプラズマダメージの発生の抑制と、エッチレートの変動に起因する配線抵抗のバラツキの抑制とを図ることができる。

【図面の簡単な説明】

【図1】（a）、（b）は、本発明の実施形態のウェハのチップ領域を示す平面図、及びチップ領域に設けられる半導体装置のチップ領域コーナー部付近の、絶縁膜を透視して示す部分平面図である。

【図2】本発明の実施形態の半導体装置の図1（b）に示すII-II線における断面図である。

【図3】本発明の実施形態の半導体装置の図1（b）に示すIII-III線における断面図である。

【図4】（a）、（b）は、本発明の実施形態における半導体装置の製造工程のうち第2層目配線用の溝を形成するまでの工程を示す断面図である。

【図5】（a）、（b）は、本発明の実施形態における半導体装置の製造工程のうち第2層目配線を形成するまでの工程を示す断面図である。

【図6】（a）、（b）は、本発明の実施形態における半導体装置の製造工程のうち第3層目配線用溝を形成するまでの工程を示す断面図である。

【図7】（a）、（b）は、本発明の実施形態における半導体装置の製造工程のうち第3層目配線及び耐湿性保護膜を形成するまでの工程を示す断面図である。

【図8】（a）、（b）は、従来のウェハのチップ領域

を示す平面図、及びチップ領域に設けられる半導体装置のチップ領域コーナー部付近の、絶縁膜を透視して示す部分平面図である。

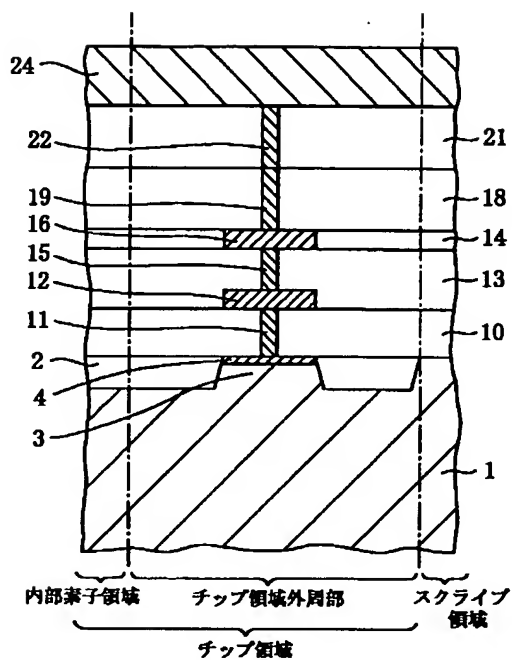
【図9】従来の半導体装置の図8（b）に示すVIII-VI線における断面図である。

【図10】従来の半導体装置のチップ領域と内部素子領域とにおける構造を比較して示す断面図である。

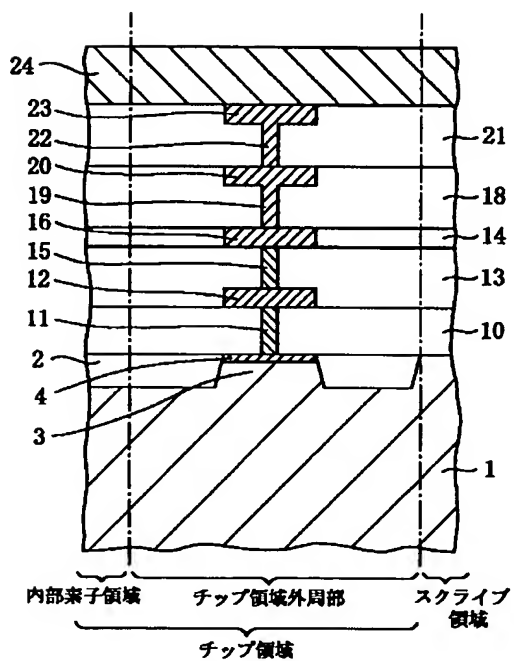
【符号の説明】

- | | |
|----|----------|
| 1 | シリコン基板 |
| 2 | 素子分離 |
| 3 | 活性領域 |
| 4 | 拡散層 |
| 11 | 第1環状壁 |
| 12 | 相1環状パッド |
| 13 | 第2層間絶縁膜 |
| 14 | 第3層間絶縁膜 |
| 15 | 第1ビアプラグ |
| 16 | 第2環状パッド |
| 18 | 第4層間絶縁膜 |
| 19 | 第3環状壁 |
| 20 | 第3部分パッド |
| 21 | 第5層間絶縁膜 |
| 22 | 第4環状壁 |
| 23 | 第4部分パッド |
| 30 | 第3環状溝 |
| 31 | Cu等膜 |
| 33 | 第4環状溝 |
| 51 | コンタクトプラグ |
| 52 | ローカル配線 |
| 56 | 第1層目配線 |
| 59 | 第2ビアプラグ |
| 60 | 第2層目配線 |
| 62 | 第3ビアプラグ |
| 63 | 第3層目配線 |
| 70 | 第2ビアホール |
| 71 | 第2層目配線用溝 |
| 73 | 第3ビアホール |
| 74 | 第3層目配線用溝 |

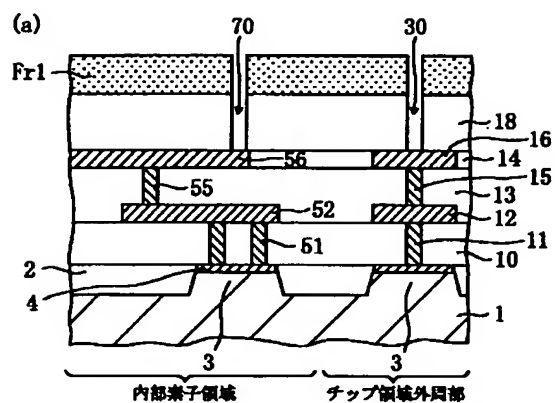
【图2】



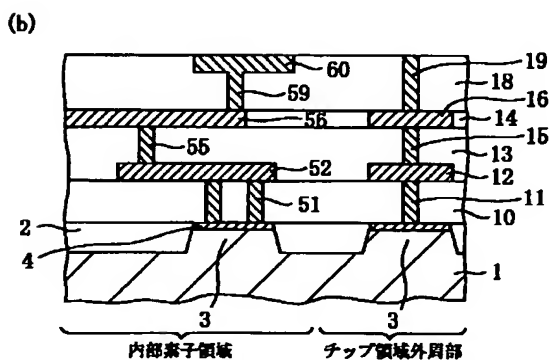
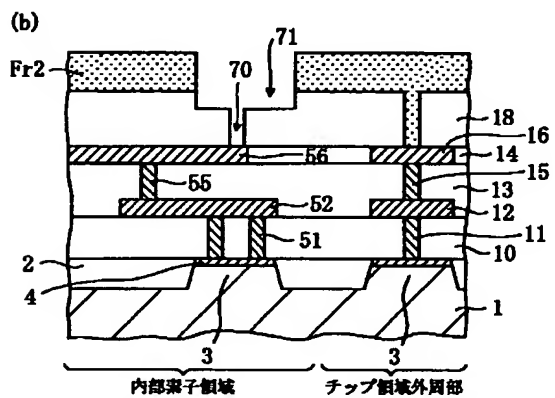
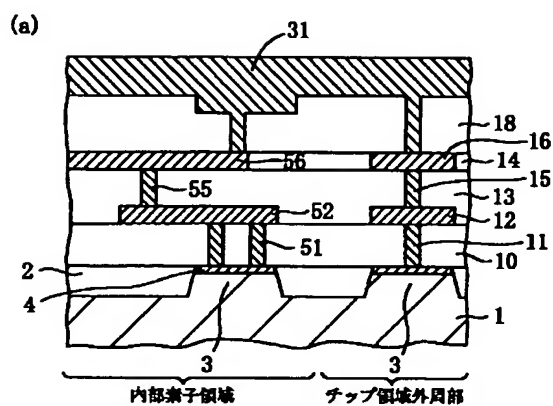
【图3】



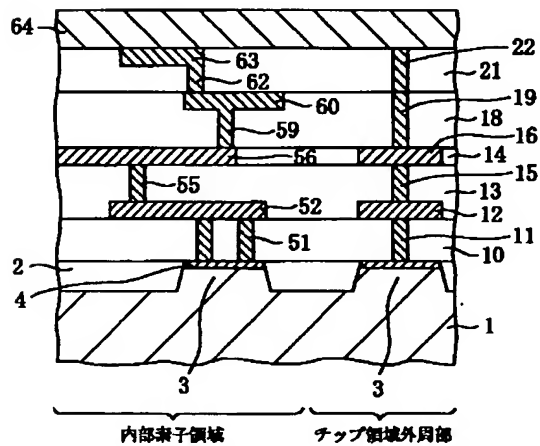
【図4】



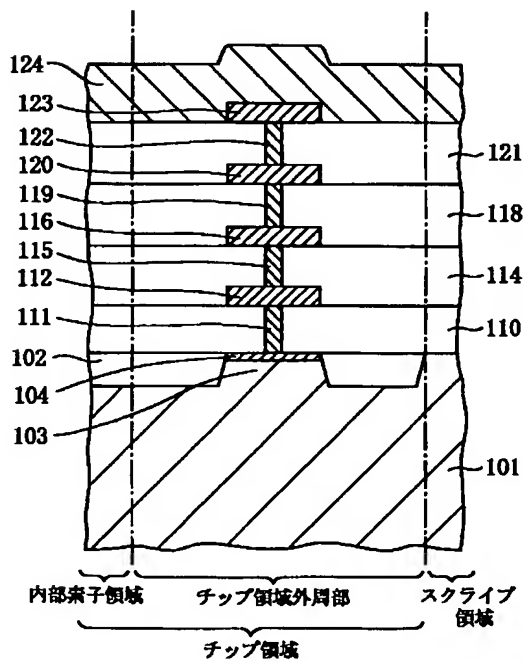
【図5】



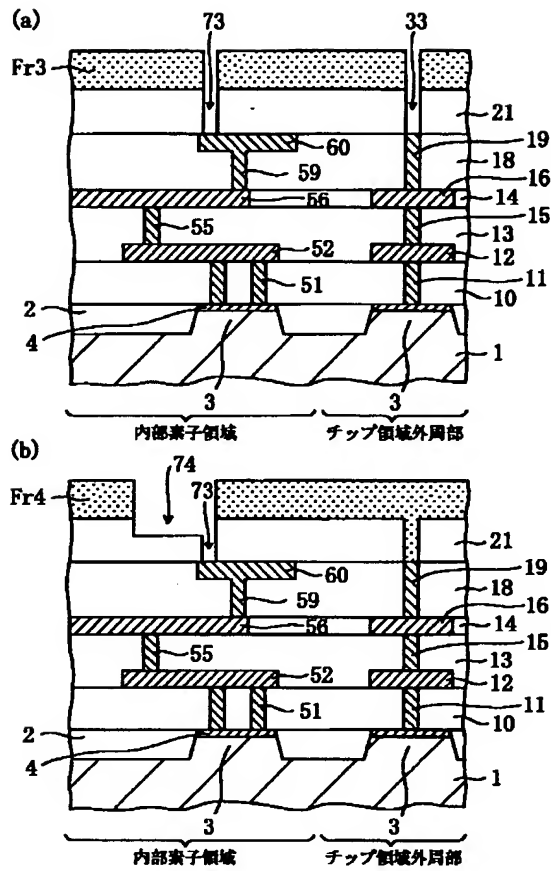
【図7】



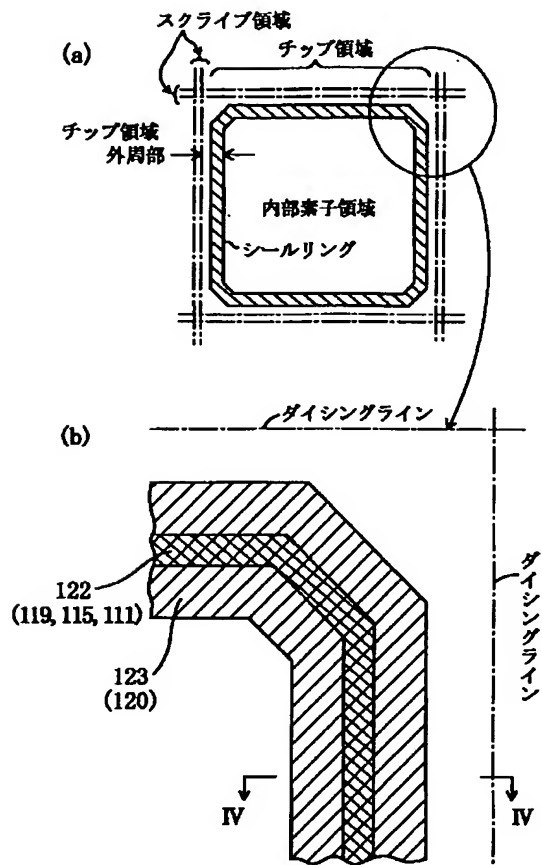
【図9】



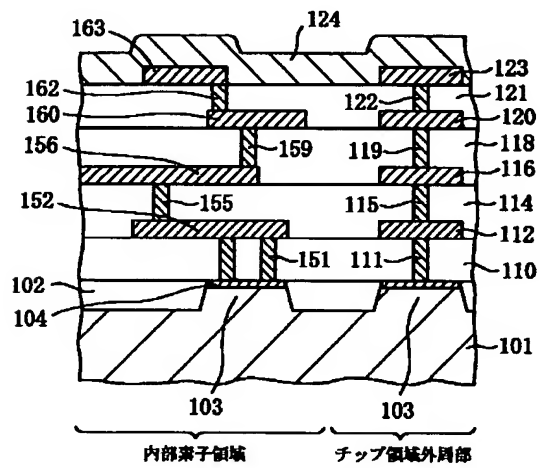
【図6】



【図8】



【図10】



【手続補正書】

【提出日】平成14年7月22日(2002.7.22)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】全文

【補正方法】変更

【補正内容】

【書類名】明細書

【発明の名称】半導体装置及びその製造方法

【特許請求の範囲】

【請求項1】 基板上の半導体層の上方に設けられた各々複数の層間絶縁膜及び各々複数の配線からなる複数の配線層と、

上記複数の配線層の配線同士又は配線と半導体層とを縦方向に接続するためのプラグと、

上記半導体層に設けられた素子、上記配線層及び上記プラグが配置された内部素子領域と、

上記半導体層の上に上記複数の層間絶縁膜を貫通して設けられ、上記内部素子領域を囲む環状のシールリングとを備え、

上記複数の層間絶縁膜のうち少なくとも1つの層間絶縁膜は、上記複数の配線層のうちの1つの配線層中の配線及び該配線に接続されるプラグの周囲を埋めており、
上記シールリングのうち少なくとも1つの層間絶縁膜を貫通する部分は、少なくとも一部が該層間絶縁膜の上端から下端に延びている縦板状の環状壁を有していることを特徴とする半導体装置。

【請求項2】 請求項1記載の半導体装置において、
上記内部素子領域の上方を覆う、異物質侵入阻止機能を有する保護絶縁膜をさらに備え、

上記シールリングの下端は上記半導体層に、上端は上記保護絶縁膜にそれぞれ直接接していることを特徴とする半導体装置。

【請求項3】 請求項1又は2に記載の半導体装置において、

上記シールリングは、ほぼ直線状の辺部とコーナー部とを有し、

上記シールリングの上記コーナー部は、横板状の部分パッドを有していて、

上記環状壁は、上記シールリングの辺部においては、上記少なくとも1つの層間絶縁膜の上端から下端に延びている一方、上記シールリングのコーナー部においては、上記横板状の部分パッドの下端から上記少なくとも1つの層間絶縁膜の下端に延びていることを特徴とする半導体装置。

【請求項4】 請求項1～3のうちいずれか1つに記載の半導体装置において、

上記内部素子領域は、上記基板のスクライブ領域によって囲まれた領域に設けられ、

上記シールリングは、上記内部素子領域と上記基板のスクライブ領域との間に設けられていることを特徴とする半導体装置。

【請求項5】 請求項1～3のうちいずれか1つに記載の半導体装置において、

上記内部素子領域は、メモリセルを配置したメモリ領域であり、

上記メモリ領域中のメモリセルの記憶状態を変化させるためのスイッチング部をさらに備え、

上記シールリングは、上記内部素子領域と上記スイッチング部との間に設けられていることを特徴とする半導体装置。

【請求項6】 基板上の半導体層の上方に設けられた各々複数の層間絶縁膜及び複数の配線層と、上記複数の配線層の配線同士又は配線と半導体層とを縦方向に接続するためのプラグと、上記半導体層に設けられた素子、上記配線層及び上記プラグが配置された内部素子領域と、
上記半導体層の上に上記複数の層間絶縁膜を貫通して設けられ、上記内部素子領域を囲む環状のシールリングが配置されたチップ領域外周部とを備えた半導体装置の製造方法であって、

上記複数の層間絶縁膜のうち少なくとも1つの層間絶縁膜に、上記プラグ用のホールと、上記シールリングが埋め込まれる領域の少なくとも一部となる環状溝を形成する工程(a)と、

基板上に、上記プラグ用のホールを含む領域を開口したレジストマスクを形成する工程(b)と、

上記レジストマスクを用いたエッチングにより、上記プラグ用のホールよりも浅い配線用溝を形成する工程(c)と、

基板上に導体膜を堆積した後、上記層間絶縁膜が露出するまで上記導体膜を除去して上記配線用溝、ホール及び上記環状溝に上記導体膜の一部を埋め込むことにより、
上記内部素子領域においては、上記配線及びプラグを形成するとともに、上記チップ領域外周部においては、少なくとも一部が層間絶縁膜の上端から下端に延びて、シールリングの一部を構成する縦板状の環状壁を形成する工程(d)とを含むことを特徴とする半導体装置の製造方法。

【請求項7】 請求項6の半導体装置の製造方法において、

上記工程(b)では、上記チップ領域外周部のコーナー部においては、上記フォトリソマスクの上記環状溝の一部を含む領域を開口して、

上記工程(c)では、上記チップ領域外周部のコーナー部において、上記環状溝の一部を含む領域に環状溝よりも浅いパッド用溝を形成し、

上記工程(d)では、上記パッド用溝をも上記導体膜の一部で埋めることにより、チップ領域外周部のコーナー

部に横板状の部分パッドを形成するとともに、チップ領域外周部の辺部では上記層間絶縁膜の上端から下端まで延びる一方、チップ領域外周部のコーナー部では上記部分パッドの下端から上記層間絶縁膜の下端まで延びている環状壁を形成することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、多層配線構造を有する半導体装置に係り、特に、内部素子領域への水分や湿気などの侵入を阻止するためのシールリングを備えたものに関する。

【0002】

【従来の技術】近年、半導体装置の高集積化の要求に伴って、内部のトランジスタなどの素子の微細化と、配線の多層化とが進んできている。特に、半導体装置の性能に対して配線の性能が与える影響が大きくなり、アルミ配線から抵抗の低い銅配線の導入がダマシンプロセスによってなされてきている。

【0003】図8(a)、(b)は、従来のウェハのチップ領域を示す平面図、及びチップ領域に設けられる半導体装置のチップ領域コーナー部付近の、絶縁膜を透視して示す部分平面図である。また、図9は、従来の半導体装置の図8(b)に示すVIII-VIII線における断面図である。

【0004】この半導体装置は、図8(a)、(b)及び図9に示すように、シリコン基板101と、シリコン基板101上に形成され、活性領域103を囲む素子分離102と、活性領域103に形成された拡散層104と、シリコン基板101上に設けられた第1層間絶縁膜110と、第1層間絶縁膜110の上に設けられた第2層間絶縁膜114と、第2層間絶縁膜114の上に設けられた第3層間絶縁膜118と、第3層間絶縁膜118の上に設けられた第4層間絶縁膜121と、第4層間絶縁膜121の上に設けられた耐湿性絶縁膜124とを備えている。さらに、チップ領域外周部において、第1層間絶縁膜110を貫通して拡散層104に到達する第1環状壁111と、第1層間絶縁膜110の上に設けられ第1環状壁111に接続される第1環状パッド112と、第2層間絶縁膜114を貫通して第1環状パッド112に到達する第2環状壁115と、第2層間絶縁膜114の上に設けられ第2環状壁115に接続される第2環状パッド116と、第3層間絶縁膜118を貫通して第2環状パッド116に到達する第3環状壁119と、第3層間絶縁膜118の上に設けられ第3環状壁119に接続される第3環状パッド120と、第4層間絶縁膜121を貫通して第3環状パッド120に到達する第4環状壁122と、第4層間絶縁膜121の上に設けられ第4環状壁122に接続される第4環状パッド123と、を備えている。上記各環状壁111、115、11

9、122及び各環状パッド112、116、120、123により、内部素子領域への水分や湿気の侵入を阻止するためのシールリングが構成されている。

【0005】図10は、従来の半導体装置のチップ領域外周部と内部素子領域とにおける構造を比較して示す断面図である。同図に示すように、チップ領域外周部の第1環状壁111は内部素子領域のコンタクトプラグ151と同時に金属又はポリシリコンをコンタクトホールに埋め込んで形成され、第1環状パッド112は内部素子領域のローカル配線152と同時に金属膜をバターニングして形成され、チップ領域外周部の第2環状壁115は内部素子領域の第1ビアプラグ155と同時に金属をビアホールに埋め込んで形成され、第2環状パッド116は内部素子領域の第1層目配線156と同時に金属膜をバターニングして形成され、チップ領域外周部の第3環状壁119は内部素子領域の第2ビアプラグ159と同時にビアホールに金属を埋め込んで形成され、第3環状パッド120は内部素子領域の第2層目配線160と同時に金属膜をバターニングして形成され、チップ領域外周部の第4環状壁122は内部素子領域の第3ビアプラグ162と同時にビアホールに金属を埋め込んで形成され、第4環状パッド123は内部素子領域の第3層目配線163と同時に金属膜をバターニングして形成されている。

【0006】ここで、層間絶縁膜として用いられる塗布膜は、有機膜が一般的であり、シリカフィルムのように、無機質を主体とする膜の場合も焼成時のクラック発生を抑制する為に、有機成分を添加して用いられることが多い。また、800℃程度の焼成によってほぼ完全に無機のシリコン酸化膜となるシリカフィルムであっても、配線上に形成した場合、400℃程度の処理が限度であるため、溶剤として用いた有機成分が完全に離脱しないまま、膜中に残ってしまう。このように、有機成分を含んだ絶縁膜は本質的に水分の吸着性あるいは透水性が高いため、膜形成後に塗布膜が露出する場合、半導体装置の内部に水分を取り込みやすくなり、半導体装置の信頼性を低下させる原因となる。

【0007】そこで、図8～図10に示す従来の半導体装置においては、内部素子領域の外周を環状パッドおよび環状壁からなるシールリングで囲むことにより、スクライプ領域で半導体チップが個々に切断されて分割された後でも、層間絶縁膜に水分が侵入しないように構成されている。

【0008】

【発明が解決しようとする課題】しかしながら、上記従来の半導体装置をデュアルダマシンプロセスを利用して形成しようとすると、以下のような不具合が予想される。

【0009】すなわち、デュアルダマシンプロセスにおいては、上層側の環状壁（例えば第3環状壁119）用

の環状溝と上層側のプラグ（例えば第2ビアプラグ159）用のホールを開口した後、上層側の環状パッド（例えば第3環状パッド120）用の環状溝と上層側の配線（例えば第2層目配線160）用の溝を形成する際のドライエッチ工程において、大面積の開口部である環状溝が存在するので、下層側の配線（例えばローカル配線152及び第1層目配線156）やシリコン基板に大きなプラズマダメージを与えるおそれがあった。また、その際、下層の環状パッド（例えば第2環状パッド116）のうち環状溝の底面に露出している部分からCu等がガスとして飛散して、ドライエッチレートを変動させることがあった。その結果、内部素子領域の配線（例えば第2層目配線160）用溝の深さにバラツキが発生し、ひいては、配線抵抗にバラツキが生じるおそれがあった。

【0010】本発明の目的は、外部から層間絶縁膜への水分の侵入を防ぎつつ、配線抵抗のバラツキや基板、配線におけるプラズマダメージの小さい配線を有する半導体装置を提供することである。

【0011】

【課題を解決するための手段】本発明の半導体装置は、基板上の半導体層の上に設けられた各々複数の層間絶縁膜及び各々複数の配線からなる複数の配線層と、上記複数の配線層の配線同士又は配線と半導体層とを縦方向に接続するためのプラグと、上記半導体層に設けられた素子、上記配線層及び上記プラグが配置された内部素子領域と、上記半導体層の上に上記複数の層間絶縁膜を貫通して設けられ、上記内部素子領域を囲む環状のシールリングとを備え、上記複数の層間絶縁膜のうち少なくとも1つの層間絶縁膜は、上記複数の配線層のうちの1つの配線層中の配線及び該配線に接続されるプラグの周囲を埋めており、上記シールリングのうち少なくとも1つの層間絶縁膜を貫通する部分は、少なくとも一部が該層間絶縁膜の上端から下端に延びている縦板状の環状壁を有している。

【0012】これにより、シールリングの少なくとも1つの層間絶縁膜を貫通する部分が縦板状の環状壁を有しているので、同じ層間絶縁膜に形成される配線用溝を形成する際に、環状壁用の環状溝がマスク部材によって埋められた状態になる。その結果、環状溝を形成するための工程において、下方の基板や配線へのプラズマダメージの発生を抑制することができる。また、環状溝の底部からの異物の発生が抑制されるので、エッチレートの変化を抑制することができ、同じ層間絶縁膜に埋め込まれる配線用の溝の深さ、つまり、配線の厚みの変化を抑制することができる。

【0013】上記内部素子領域の上方を覆う、異物質侵入阻止機能を有する保護絶縁膜をさらに備え、上記シールリングの下端が上記半導体層に、上端が上記保護絶縁膜にそれぞれ直接接していることにより、異物質の侵入

阻止機能がより確実となる。

【0014】上記シールリングは、ほぼ直線状の辺部とコーナー部とを有し、上記シールリングの上記コーナー部は、横板状の部分パッドを有していて、上記環状壁は、上記シールリングの辺部においては、上記少なくとも1つの層間絶縁膜の上端から下端に延びている一方、上記シールリングのコーナー部においては、上記横板状の部分パッドの下端から上記少なくとも1つの層間絶縁膜の下端に延びていることにより、コーナー部におけるマスクの位置ずれによるシールリングの形状不良を抑制することができる。

【0015】上記内部素子領域が上記基板のスクライブ領域によって囲まれた領域に設けられている場合、上記シールリングは、上記内部素子領域と上記基板のスクライブ領域との間に設けられていることが好ましい。

【0016】上記内部素子領域がメモリセルを配置したメモリ領域であり、上記メモリ領域中のメモリセルの記憶状態を変化させるためのスイッチング部をさらに備えている場合、上記シールリングは、上記内部素子領域と上記スイッチング部との間に設けられていることが好ましい。

【0017】本発明の半導体装置の製造方法は、基板上の半導体層の上に設けられた各々複数の層間絶縁膜及び複数の配線層と、上記複数の配線層の配線同士又は配線と半導体層とを縦方向に接続するためのプラグと、上記半導体層に設けられた素子、上記配線層及び上記プラグが配置された内部素子領域と、上記半導体層の上に上記複数の層間絶縁膜を貫通して設けられ、上記内部素子領域を囲む環状のシールリングが配置されたチップ領域外周部とを備えた半導体装置の製造方法であって、上記複数の層間絶縁膜のうち少なくとも1つの層間絶縁膜に、上記プラグ用のホールと、上記シールリングが埋め込まれる領域の少なくとも一部となる環状溝を形成する工程（a）と、基板上に、上記プラグ用のホールを含む領域を開口したレジストマスクを形成する工程（b）と、上記レジストマスクを用いたエッチングにより、上記プラグ用のホールよりも浅い配線用溝を形成する工程（c）と、基板上に導体膜を堆積した後、上記層間絶縁膜が露出するまで上記導体膜を除去して上記配線用溝、ホール及び上記環状溝に上記導体膜の一部を埋め込むことにより、上記内部素子領域においては、上記配線及びプラグを形成するとともに、上記チップ領域外周部においては、少なくとも一部が層間絶縁膜の上端から下端に延びて、シールリングの一部を構成する縦板状の環状壁を形成する工程（d）とを含んでいる。

【0018】この方法により、工程（b）において、シールリング用の環状溝がレジストマスクによって埋められているので、工程（c）において配線用溝を形成する際に、下方の基板や配線へのプラズマダメージの発生を抑制することができる。また、環状溝の底部からの異物

の発生が抑制されるので、エッチレートの変化を抑制することができるので、形成される配線用溝の深さ、つまり、層間絶縁膜に埋め込まれる配線の厚みの変化を抑制することができ、配線抵抗のバラツキを抑制することができる。

【0019】上記工程(b)では、上記チップ領域外周部のコーナー部においては、上記フォトリソマスクの上記環状溝の一部を含む領域を開口しておいて、上記工程(c)では、上記チップ領域外周部のコーナー部において、上記環状溝の一部を含む領域に環状溝よりも浅いパッド用溝を形成し、上記工程(d)では、上記パッド用溝をも上記導体膜の一部で埋めることにより、チップ領域外周部のコーナー部に横板状の部分パッドを形成するとともに、チップ領域外周部の辺部では上記層間絶縁膜の上端から下端まで延びる一方、チップ領域外周部のコーナー部では上記部分パッドの下端から上記層間絶縁膜の下端まで延びている環状壁を形成することにより、レジストマスクの位置ずれに起因するシールリングの形状不良の発生を抑制することができる。

【0020】

【発明の実施の形態】図1(a)、(b)は、本発明の実施形態のウェハのチップ領域を示す平面図、及びチップ領域に設けられる半導体装置のチップ領域コーナー部付近の、絶縁膜を透視して示す部分平面図である。また、図2は、本実施形態の半導体装置の図1(b)に示すII-II線における断面図である。図3は、本実施形態の半導体装置の図1(b)に示すIII-III線における断面図である。ただし、図1(b)においては、下層配線に対応する位置に形成された2つの環状パッド(12、16)の図示が省略されている。

【0021】図1(a)、(b)、図2及び図3に示すように、本実施形態の半導体装置は、シリコン基板1と、シリコン基板1上に形成され、活性領域3を囲む素子分離2と、活性領域3に形成された拡散層4と、シリコン基板1上に設けられた第1層間絶縁膜10と、第1層間絶縁膜10の上に設けられた第2層間絶縁膜13と、第2層間絶縁膜13の上に設けられた第3層間絶縁膜14と、第3層間絶縁膜14の上に設けられた第4層間絶縁膜18と、第4層間絶縁膜18の上に設けられた第5層間絶縁膜21と、第5層間絶縁膜21の上に設けられた耐湿性絶縁膜24とを備えている。しかし、本実施形態の半導体装置は、従来の半導体装置とは異なり、チップ領域外周部において、コーナー部Rcoと辺部Rsiとでは、シールリングの部分的な構造が互いに異なっている。

【0022】一チップ領域外周部のコーナー部の構造—まず、図1(a)、(b)及び図3に示すように、チップ領域外周部のコーナー部Rcoにおいては、第1層間絶縁膜10を貫通して拡散層4に到達するタングステン等からなる縦板状の第1環状壁11と、第1層間絶縁膜10の上に設けられ第1環状壁11に接続されるタングステン等からなる横板状の第1環状パッド12と、第2層間絶縁膜13を貫通して第1環状パッド12に到達するタングステン等からなる縦板状の第2環状壁15と、第3層間絶縁膜14に埋め込まれ第2環状壁15に接続されるCu等からなる横板状の第2環状パッド16と、第4層間絶縁膜18を貫通して第2環状パッド16に到達するCu等からなる縦板状の第3環状壁19及び横板状の第3部分パッド20と、第5層間絶縁膜21を貫通して第3部分パッド20に到達するCu等からなる縦板状の第4環状壁22及び横板状の第4部分パッド23とが設けられている。これらの環状壁11、15、19、22、環状パッド12、16及び部分パッド20、23により、内部素子領域への水分や湿気の侵入を阻止するためのシールリングのコーナー部が構成されている。そして、チップ領域外周部のコーナー部Rcoにおけるこのシールリングは、上記従来の半導体装置のチップ領域外周部に設けられたシールリングとほぼ同じ構造を有している。

【0023】一チップ領域外周部の辺部の構造—

一方、図1(a)、(b)及び図2に示すように、チップ領域外周部の辺部Rsiにおいては、第1層間絶縁膜10を貫通して拡散層4に到達するタングステン等からなる第1環状壁11と、第1層間絶縁膜10の上に設けられ第1環状壁11に接続されるタングステン等からなる第1環状パッド12と、第2層間絶縁膜13を貫通して第1環状パッド12に到達するタングステン等からなる第2環状壁15と、第3層間絶縁膜14に埋め込まれ第2環状壁15に接続されるCu等からなる第2環状パッド16と、第4層間絶縁膜18を貫通して第2環状パッド16に到達するCu等からなる第3環状壁19と、第5層間絶縁膜21を貫通して第3環状壁19に到達するCu等からなる第4環状壁22とが設けられている。これらの環状壁11、15、19、22及び環状パッド12、16により、内部素子領域への水分や湿気の侵入を阻止するためのシールリングの辺部が構成されている。

【0024】したがって、シールリングのうちチップ領域外周部の辺部Rsiに位置する部分は、上記従来の半導体装置のチップ領域外周部に設けられたシールリングとは異なり、横板状の第3部分パッド20や第4部分パッド23を有していない。つまり、縦板状の環状壁19、22は、チップ領域外周部の辺部Rsiでは層間絶縁膜の上端から下端まで延びる一方、チップ領域外周部のコーナー部Rcoでは部分パッドの下端から上記層間絶縁膜の下端まで延びている。この点が、本実施形態のシールリング構造の特徴である。

【0025】ここで、上記環状パッドや部分パッドの幅は内部素子領域の配線の幅とほぼ等しいのに対し、環状壁の横方向厚みは、ビアプラグの径とほぼ等しい寸法を有している。一般的には、環状壁の厚み寸法は、デザ

インルールの寸法と等しいが、デザインルールの寸法よりも多少大きくてもよい。

【0026】—製造工程—

図4(a)～図7は、本発明の実施形態における半導体装置の製造工程を示す断面図である。図4(a)～図7においては、内部素子領域とチップ領域外周部のうち辺部Rsiとの構造のみを示し、チップ領域外周部のうちコーナー部Rcoの構造の図示は省略するが、コーナー部Rcoの環状壁、環状パッド等の断面構造は、内部素子領域のプラグ、配線の断面構造とほぼ共通している。

【0027】まず、図4(a)に示す工程で、シリコン基板1の表面部に活性領域3を囲むシャロートレンチ構造の素子分離2を形成した後、内部素子領域の活性領域3にはMISトランジスタなどの素子を形成する。次に、基板上に第1層間絶縁膜10を堆積してから、内部素子領域においては、第1層間絶縁膜10を貫通して活性領域3やゲート電極(図示せず)などに到達するコンタクトホールを形成する。このとき、チップ領域外周部の辺部Rsi及びコーナー部Rcoの双方においては、内部素子領域を囲む環状溝を形成する。そして、コンタクトホール及び環状溝の双方にタングステン等を埋め込んで、コンタクトプラグ51及び第1環状壁11を形成する。

【0028】次に、基板上にタングステン等からなる多層膜を堆積し、この多層膜をパターニングすることにより、コンタクトプラグ51に接続されるローカル配線52と、第1環状壁11に接続される第1環状パッド12とを形成する。次に、基板上に、第2層間絶縁膜13を堆積した後、第2層間絶縁膜13に、内部素子領域においてはローカル配線52に到達する第1ビアホールを、チップ領域外周部の辺部Rsi及びコーナー部Rcoにおいては第1環状パッド12に到達する第2環状溝を、それぞれ形成する。さらに、第1ビアホール及び第2環状溝にタングステン等の金属を埋め込むことにより、内部素子領域においては第1ビアプラグ15を、チップ領域外周部のコーナー部Rco及び辺部Rsiにおいては第2環状壁55を、それぞれ形成する。

【0029】さらに、基板上に第3層間絶縁膜14を堆積した後、第3層間絶縁膜14に、内部素子領域においては第1層目配線用溝を、チップ領域外周部のコーナー部Rco及び辺部Rsiにおいては第2環状パッド用溝を、それぞれ形成する。そして、メッキにより、第1層目配線用溝及び第2環状パッド用溝内にCu等を埋め込んで、内部素子領域においては第1層目配線56を、チップ領域外周部のコーナー部Rco及び辺部Rsiにおいては第2環状パッド16を、それぞれ形成する。つまり、シングルダマシン法により、各配線を形成するのである。

【0030】次に、基板上に第4層間絶縁膜18を堆積した後、第4層間絶縁膜18上に第1フォトレジストパターンFr1を形成し、この第1フォトレジストパターン

Fr1をマスクとするエッチングにより、第4層間絶縁膜18に、内部素子領域においては第1層目配線56に到達する第2ビアホール70を、チップ領域外周部の辺部Rsi及びコーナー部Rcoにおいては第2環状パッド16に到達する第3環状溝30を、それぞれ形成する。

【0031】次に、図4(b)に示す工程で、第1フォトレジストパターンFr1を除去した後、第4層間絶縁膜18の上に第2フォトレジストパターンFr2を形成する。このとき、第3環状溝30は、第2フォトレジストパターンFr2の一部によって埋められている。そして、第2フォトレジストパターンFr2をマスクとするエッチングにより、内部素子領域において、第2ビアホール70よりも広い第2層目配線用溝71を形成する。また、図示されていないが、チップ領域外周部のコーナー部Rcoにおいては、第3部分パッド用溝が形成されている。

【0032】このとき、第2層目配線用溝71は第2ビアホール70を含む広い領域に形成され、第2ビアホール70内は、いったんフォトレジストによって埋められるが、第2フォトレジストパターンFr2の形成の際に、第2ビアホール70内のフォトレジストは除去されている。したがって、第2層目配線用溝71を形成するためのドライエッチングの際に、第1層目配線56のうち第2ビアホール70の底面に露出している部分からCu等が飛散することになる。

【0033】それに対し、チップ領域外周部の辺部Rsiにおいては、第2層目配線用溝71を形成するためのドライエッチングの際に、第3環状溝30は、第2フォトレジストパターンFr2の一部によって埋められた状態であるので、第3環状溝30の底部からCu等が飛散することはない。

【0034】なお、チップ領域外周部のコーナー部Rcoにおいては、内部素子領域と同様に、第3環状溝30の一部を含む領域に第3部分パッド用溝が形成されているので、第2環状パッド16の第3環状溝30の底面に露出した部分(図3参照)からCu等が飛散する。

【0035】次に、図5(a)に示す工程で、第2フォトレジストパターンFr2を除去した後、メッキにより、基板上にCu等膜31を堆積する。このとき、内部素子領域の第2ビアホール70及び第2層目配線用溝71と、チップ領域外周部の辺部Rsiの第3環状溝30と、チップ領域外周部のコーナー部Rcoの第3環状溝及び第3部分パッド用溝内もCu等膜31の一部によって埋められている。

【0036】次に、図5(b)に示す工程で、第4層間絶縁膜18が露出するまでCMPを行なって、内部素子領域においては第2ビアプラグ59及び第2層目配線60を、チップ領域外周部の辺部Rsiにおいては第3環状壁19の辺部分を、チップ領域外周部のコーナー部Rcoにおいては第3環状壁19のコーナー部分及び第3部分パッド20(図3参照)を、それぞれ形成する。

【0037】次に、図6(a)に示す工程で、基板上に第5層間絶縁膜21を堆積した後、第5層間絶縁膜21上に第3フォトリソパターンFr3を形成し、この第3フォトリソパターンFr3をマスクとするエッチングにより、第5層間絶縁膜21に、内部素子領域においては第2層目配線60に到達する第3ビアホール73を形成し、チップ領域外周部の辺部Rsiにおいては第3環状壁19に到達し、チップ領域外周部のコーナー部Rcoにおいては第3部分パッド20に到達する第4環状溝33を、それぞれ形成する。

【0038】次に、図6(b)に示す工程で、第2フォトリソパターンFr3を除去した後、第5層間絶縁膜21の上に第4フォトリソパターンFr4を形成する。そして、第4フォトリソパターンFr4をマスクとするエッチングにより、内部素子領域において、第3ビアホール73よりも広い第3層目配線用溝74を形成する。また、図示されていないが、チップ領域外周部のコーナー部Rcoにおいては、第4部分パッド用溝が形成されている。

【0039】このとき、第3層目配線用溝74は第3ビアホール73を含む広い領域に形成され、第3ビアホール73内は、いったんフォトリソによって埋められるが、第4フォトリソパターンFr4の形成の際に、第3ビアホール73内のフォトリソは除去されている。したがって、第3層目配線用溝74を形成するためのドライエッチングの際に、第2層目配線60のうち第2ビアホール73の底面に露出している部分からCu等が飛散することになる。

【0040】それに対し、チップ領域外周部の辺部Rsiにおいては、第3層目配線用溝74を形成するためのドライエッチングの際に、第4環状溝33は、第4フォトリソパターンFr4の一部によって埋められた状態であるので、第4環状溝33の底面からCu等が飛散することはない。

【0041】なお、チップ領域外周部のコーナー部Rcoにおいては、内部素子領域と同様に、第4環状溝33を含む領域に第4部分パッド用溝が形成されているので、第3部分パッド20のうち第4環状溝33の底面に露出した部分(図3参照)からCu等が飛散する。

【0042】次に、図7に示す工程で、第4フォトリソパターンFr4を除去した後、メッキにより、基板上にCu等膜を堆積した後、第5層間絶縁膜21が露出するまでCu等膜のCMPを行なって、内部素子領域においては第2ビアホール70及び第2層目配線用溝71を埋める第3ビアプラグ62及び第3層目配線63を、チップ領域外周部の辺部Rsiにおいては第4環状溝33を埋める第4環状壁22を、チップ領域外周部のコーナー部Rcoにおいては第4環状溝33及び第4部分パッド用溝内を埋める第4環状壁22及び第4部分パッド23(図3参照)を、それぞれ形成する。

【0043】本実施形態によると、図4(b)や図6(b)に示す、デュアルダマシンプロセスの配線用溝を形成する工程において、チップ領域外周部の辺部Rsiにはパッド用溝が形成されないで、大面積の開口部が存在せず、下層側の配線(第1層目配線56、ローカル配線52)やシリコン基板へのアロズマダメーシの発生を抑制することができる。また、図4(b)や図6(b)に示す、デュアルダマシンプロセスの配線用溝を形成する工程において、チップ領域外周部の辺部Rsiのシールリング用環状溝、つまり環状溝30、33の辺部分がフォトリソによって塞がれているので、特に広い面積を有するシールリング用の環状溝30、33の底面からのCu等の飛散を抑制することができる。よって、エッチレートの変化に起因する溝深さのバラツキを抑制することができ、ひいては、配線厚みのバラツキを抑制し、配線抵抗の均一化を図ることができる。

【0044】なお、図4(b)や図6(b)に示す、デュアルダマシンプロセスの配線用溝を形成する工程において、内部素子領域のビアホール70、73からのCu等の飛散は生じうるが、この部分の面積はチップ領域外周部の辺部Rsiの面積に比較すると大幅に狭いので、実質的に不具合は生じない。また、チップ領域外周部のコーナー部Rcoにおいては、部分パッド用溝を形成する際に、環状パッド又は部分パッドのうち環状溝の底面に露出している部分からCu等が飛散するおそれはあるが、チップ領域外周部のコーナー部Rcoの面積がチップ領域外周部に占める割合は極めてわずかであるので、ほとんど不具合は生じない。

【0045】なお、チップ領域外周部のコーナー部Rcoにもパッドを設けずに、チップ領域外周部全体に亘って、第4層間絶縁膜18、第5層間絶縁膜21全体を縦方向に貫通する環状壁を設けることも可能であり、その方が本発明の基本的な効果であるプラズマダメージの抑制やCu等飛散の防止による配線抵抗の均一化を図る点では好ましい。

【0046】しかし、本実施形態のように、チップ領域外周部の辺部Rsiにおいては環状壁のみを形成する一方、コーナー部Rcoのみ部分パッド20、23(図3参照)を設けることにより、以下のような効果を発揮することができる。

【0047】一般に、コーナー部は、フォトリソグラフィにおけるマスクの位置ずれが生じやすいので、幅の狭い環状壁同士の間隙ができるおそれがあるが、パッドにすることにより、シールリングの一部に隙間が発生するのを防止することができる。ただし、この不具合は、環状壁のコーナー部を辺部よりも厚めに設けることにより、回避することは可能である。

【0048】また、ハーフトーンマスク等の位相シフトマスクを使用した場合に、特にコーナー部においてサイドローブが近接効果により発生しやすくなり、その結

果、層間絶縁膜のコーナー部の環状壁の近くに孔が発生して、外観が悪化することがある。その場合でも、コーナー部のみに部分パッドを形成することで、サイドローブによる層間絶縁膜の穴が埋まるため、外観不良の発生を抑制することができる。

【0049】(その他の実施形態) 上記実施形態においては、スクライプラインによって囲まれる内部素子領域を、ウェハのスクライプ時における水分や湿気の侵入を阻止するためのシールリングの構造について説明したが、本発明はかかる実施形態に限定されるものではない。

【0050】例えば、DRAM、SRAM及びROMにおいては、DRAMメモリセルを配置したメモリ部に対して、不良メモリセルがあった場合に当該不良セルに代替するための冗長メモリセルが設けられている。その場合、不良メモリセルと冗長メモリセルとの間で、周辺回路に対する電氣的接続を切り換えるためのスイッチング部材(例えばヒューズ)を設けるのが一般的である。そして、内部素子領域であるメモリ部とスイッチング部材を配置した領域との間に、メモリ部を囲むシールリングを設けることがあり、このシールリングに本発明のシールリングの構造を適用することができる。

【0051】

【発明の効果】本発明の半導体装置又は半導体装置の製造方法によれば、内部素子領域の配線層とシールリングとを同時に形成する際に、シールリングのある層間絶縁膜を貫通する部分に縦板状の環状壁を設けたので、下方の配線層や基板におけるプラズマダメージの発生の抑制と、エッチレートの変動に起因する配線抵抗のバラツキの抑制とを図ることができる。

【図面の簡単な説明】

【図1】(a)、(b)は、本発明の実施形態のウェハのチップ領域を示す平面図、及びチップ領域に設けられる半導体装置のチップ領域コーナー部付近の、絶縁膜を透視して示す部分平面図である。

【図2】本発明の実施形態の半導体装置の図1(b)に示すII-II線における断面図である。

【図3】本発明の実施形態の半導体装置の図1(b)に示すIII-III線における断面図である。

【図4】(a)、(b)は、本発明の実施形態における半導体装置の製造工程のうち第2層目配線用の溝を形成するまでの工程を示す断面図である。

【図5】(a)、(b)は、本発明の実施形態における半導体装置の製造工程のうち第2層目配線を形成するまでの工程を示す断面図である。

【図6】(a)、(b)は、本発明の実施形態における半導体装置の製造工程のうち第3層目配線用溝を形成するまでの工程を示す断面図である。

【図7】(a)、(b)は、本発明の実施形態における半導体装置の製造工程のうち第3層目配線及び耐湿性保護膜を形成するまでの工程を示す断面図である。

【図8】(a)、(b)は、従来のウェハのチップ領域を示す平面図、及びチップ領域に設けられる半導体装置のチップ領域コーナー部付近の、絶縁膜を透視して示す部分平面図である。

【図9】従来の半導体装置の図8(b)に示すVIII-VI線における断面図である。

【図10】従来の半導体装置のチップ領域と内部素子領域とにおける構造を比較して示す断面図である。

【符号の説明】

- 1 シリコン基板
- 2 素子分離
- 3 活性領域
- 4 拡散層
- 11 第1環状壁
- 12 相1環状パッド
- 13 第2層間絶縁膜
- 14 第3層間絶縁膜
- 15 第1ヴィアプラグ
- 16 第2環状パッド
- 18 第4層間絶縁膜
- 19 第3環状壁
- 20 第3部分パッド
- 21 第5層間絶縁膜
- 22 第4環状壁
- 23 第4部分パッド
- 30 第3環状溝
- 31 Cu等膜
- 33 第4環状溝
- 51 コンタクトプラグ
- 52 ローカル配線
- 56 第1層目配線
- 59 第2ヴィアプラグ
- 60 第2層目配線
- 62 第3ヴィアプラグ
- 63 第3層目配線
- 70 第2ヴィアホール
- 71 第2層目配線用溝
- 73 第3ヴィアホール
- 74 第3層目配線用溝

フロントページの続き

Fターム(参考) 5F033 HH11 HH19 JJ11 JJ19 KK01
KK11 KK19 MM02 QQ09 QQ37
QQ48 VV00
5F083 GA13 JA37 KA20 MA06 MA16
MA19 ZA10